

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

310000-AD
2006/08/60
Old S.N. 17631
10/50/40
07/50/40

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 7月27日

出願番号

Application Number:

特願2000-226707

出願人
Applicant(s):

株式会社日立製作所

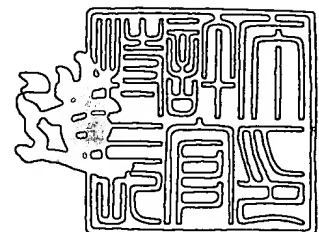
Docket No.: XA-9512.
Filed On: July 5, 2001
Mitsubishi Stockbridge, Inc.
Phone: 703-903-9000

BEST AVAILABLE COPY

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕





【書類名】 特許願

【整理番号】 H00002511

【提出日】 平成12年 7月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/06

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 林 勇

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 成瀬 正雄

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100089071

 【弁理士】

 【氏名又は名称】 玉村 静世

 【電話番号】 047-361-8861

【手数料の表示】

 【予納台帳番号】 011040

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロプロセッサ、半導体モジュール及びデータ処理システム

【特許請求の範囲】

【請求項 1】 命令を実行する中央処理装置と、前記中央処理装置による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路とを 1 個の半導体チップに有するマイクロプロセッサであって、

前記外部バスインタフェース制御回路は複数の外部デバイス選択信号の中から外部アクセスアドレスに応じた外部デバイス選択信号を活性化可能であり、

前記外部バスインタフェース制御回路によって活性化される外部デバイス選択信号に応じて前記外部バスインタフェース制御回路の同期クロック信号を切り換え制御するクロック切り換え制御回路を備えて成るものであることを特徴とするマイクロプロセッサ。

【請求項 2】 命令を実行する中央処理装置と、前記中央処理装置による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路とを 1 個の半導体チップに有するマイクロプロセッサであって、

前記外部バスインタフェース制御回路は外部アクセスアドレスに応じて第 1 の外部デバイス選択信号又は第 2 の外部デバイス選択信号を活性化可能であり、

前記第 1 の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第 1 のクロック信号に切り換え制御し、前記第 2 の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第 2 のクロック信号に切り換え制御するクロック切り換え制御回路を備えて成るものであることを特徴とするマイクロプロセッサ。

【請求項 3】 前記第 1 のクロック信号と当該第 1 のクロック信号に対して所定の整数の分周比を以って周期が長くされた第 2 のクロック信号を生成するクロックパルスジェネレータと、前記クロックパルスジェネレータで生成される前記第 1 のクロック信号及び前記第 2 のクロック信号を半導体チップの外部に並列出力するクロック出力端子を有して成るものであることを特徴とする請求項 2 記載のマイクロプロセッサ。

【請求項 4】 命令を実行する中央処理装置と、前記中央処理装置による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路とを 1 個の半導体チップに有するマイクロプロセッサであって、

前記外部バスインタフェース制御回路は外部アクセスアドレスに応じて第 1 の外部デバイス選択信号又は第 2 の外部デバイス選択信号を活性化可能であり、

前記第 1 の外部デバイス選択信号の活性化にตอบสนองして前記外部バスインタフェース制御回路の同期クロック信号を第 1 のクロック信号に切り換え制御すると共に前記中央処理装置の同期クロック信号を第 3 のクロック信号に切り換え制御し、前記第 2 の外部デバイス選択信号の活性化にตอบสนองして前記外部バスインタフェース制御回路の同期クロック信号を第 2 のクロック信号に切り換え制御すると共に前記中央処理装置の同期クロック信号を第 4 のクロック信号に切り換え制御するクロック切り換え制御回路を備えて成るものであることを特徴とするマイクロプロセッサ。

【請求項 5】 前記第 1 のクロック信号と、当該第 1 のクロック信号に対して所定の整数の分周比を以って周期が長くされた第 2 のクロック信号と、前記第 3 のクロック信号と、当該第 3 のクロック信号に対して所定の整数の分周比を以って周期が長くされた第 4 のクロック信号とを生成するクロックパルスジェネレータと、前記クロックパルスジェネレータで生成される前記第 1 のクロック信号及び前記第 2 のクロック信号を半導体チップの外部に並列出力するクロック出力端子を有し、前記第 3 クロック信号及び第 4 クロック信号の周波数は前記第 1 クロック信号の周波数以上であることを特徴とする請求項 4 記載のマイクロプロセッサ。

【請求項 6】 前記クロック切り換え制御回路は、前記デバイス選択信号の活性化に応じて前記中央処理装置による命令実行停止を要求し、命令実行停止要求に対する承認を受けてから、前記クロック信号の切り換えを行うものであることを特徴とする請求項 2 又は 4 記載のマイクロプロセッサ。

【請求項 7】 前記クロック切り換え制御回路は、前記第 2 のクロック信号の周期に同期するタイミングでクロック信号の切り換えを行うものであることを特徴とする請求項 6 記載のマイクロプロセッサ。

【請求項 8】 複数の外部接続電極と複数層の配線層とを有するモジュール基板に、プロセッサチップと第 1 のクロック信号に同期動作されるメモリチップが設けられ、

前記プロセッサチップは、第 1 のクロック信号及び前記第 1 のクロック信号よりも周波数の低い第 2 のクロック信号を生成して外部に並列出力するクロックパルスジェネレータを有し、前記第 1 のクロック信号に同期して前記メモリチップをアクセス可能であると共に、前記第 2 のクロック信号に同期して前記外部接続電極を介する外部アクセスが可能であることを特徴とする半導体モジュール。

【請求項 9】 前記プロセッサチップは命令を実行する中央処理装置と、前記中央処理装置による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路とを 1 個の半導体チップに有し、

前記外部バスインタフェース制御回路は外部アクセスアドレスに応じて前記メモリチップを選択するメモリチップ選択信号又は前記外部接続電極を介して外部に接続されるデバイスを選択する外部デバイス選択信号を活性化可能であり、

前記メモリチップ選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第 1 のクロック信号に切り換え制御し、前記外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第 2 のクロック信号に切り換え制御するクロック切り換え制御回路を有して成るものであることを特徴とする請求項 8 記載の半導体モジュール。

【請求項 10】 第 1 のクロック信号及び前記第 1 のクロック信号よりも周波数の低い第 2 のクロック信号を夫々別々に伝達する第 1 のクロック配線及び第 2 のクロック配線と、第 1 のクロック配線から供給される第 1 のクロック信号に同期動作される第 1 のデバイスと、前記第 2 のクロック信号に同期動作される第 2 のデバイスと、前記第 1 のクロック信号に同期して前記第 1 のデバイスをアクセス制御可能であると共に前記第 2 のクロック信号に同期して前記第 2 のデバイスをアクセス制御可能な第 3 のデバイスと、を実装基板に有して成るものであることを特徴とするデータ処理システム。

【請求項 11】 前記実装基板は、第 1 の基板配線を有し当該第 1 の基板配線に前記第 2 のデバイスが接続された第 1 回路基板と、前記第 1 の基板配線に接

続される第 2 の基板配線を有し当該第 2 の基板配線に前記第 1 のデバイス及び第 3 のデバイスが接続された第 2 回路基板とから成るものであることを特徴とする請求項 1 0 記載のデータ処理システム。

【請求項 1 2】 前記第 3 のデバイスは命令を実行する中央処理装置と、前記中央処理装置による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路とを 1 個の半導体チップに有するマイクロプロセッサであって、

前記外部バスインタフェース制御回路は外部アクセスアドレスに応じて前記第 1 のデバイスを選択する第 1 の外部デバイス選択信号又は前記第 2 のデバイスを選択する第 2 の外部デバイス選択信号を活性化可能であり、

前記第 1 の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第 1 のクロック信号に切り換え制御し、前記第 2 の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第 2 のクロック信号に切り換え制御するクロック切り換え制御回路を有して成るものであることを特徴とする請求項 1 0 記載のデータ処理システム。

【請求項 1 3】 前記第 3 のデバイスは、前記第 1 のクロック信号と当該第 1 のクロック信号に対して所定の整数の分周比を以って周期が長くされた第 2 のクロック信号を生成するクロックパルスジェネレータと、前記クロックパルスジェネレータで生成される前記第 1 のクロック信号及び前記第 2 のクロック信号を半導体チップの外部に並列出力するクロック出力端子を有して成るものであることを特徴とする請求項 1 2 記載のデータ処理システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、動作クロック周波数が大きく異なる複数デバイスに対するバスアクセス制御技術に関し、中央処理装置を有し外部バス制御可能なマイクロプロセッサ、バスマスタデバイスとバススレーブデバイスが実装されたデータ処理システムに適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

近年、マイクロプロセッサやメモリ等の半導体デバイスの動作周波数は高速化の一途を辿っている。例えばマイクロプロセッサは命令を実行する中央処理装置（CPUとも称する）と共に外部バスアクセスのためのバスステートコントローラ等を有する。バスステートコントローラはマイクロプロセッサの外部アドレス空間にマッピングされたメモリや入出力回路などの外部デバイスに対する外部バスアクセスを制御する。バスステートコントローラによる外部バスアクセス制御の動作周波数はコントロールレジスタの初期設定値に応じて数種類の中から一つを選択できるようになっているものもある。このとき、バスステートコントローラは、外部バスアクセスという性質上、CPUの動作周波数よりも低いクロック周波数に同期して外部バスアクセス制御を行うが、システム全体としての処理能力向上を指向する今日において、古くから提供されているような低速半導体デバイスの利用については往々にして考慮されていないのが実状である。150MHzのクロック信号に同期動作可能なSDRAM（シンクロナス・ダイナミック・ランダム・アクセス・メモリ）と、20MHz程度のクロック周波数による同期動作が当初想定されているポインティングデバイス用途等の入出力デバイスとを、マイクロプロセッサの外部バスに共通接続して用いる場合を想定する。この場合、高速な外部デバイスのクロック周波数を基準にバスステートコントローラによる外部アクセス動作周波数を決定することになるであろう。低速デバイスに当初予定されている動作クロック周波数に合わせて高速デバイスも動作させることは非現実的である。

【0003】

【発明が解決しようとする課題】

しかしながら、低速デバイスを無理に高速動作させようとしても、当該デバイスの製造プロセスが高速動作を想定していないから、デバイス内部の入力容量、寄生容量や配線抵抗等の影響によって正常動作を期待できない場合が多いと予想される。これにより、長年利用されて高い信頼を獲得している半導体デバイスの利用を断念せざるを得ない場合も生じ、同一機能を有する新たな半導体デバイスの開発や、利用可能な半導体デバイスの選択範囲を狭めるというように、半導体

デバイスのユーザに大きな負担を強いることが懸念される。

【 0 0 0 4 】

本発明の完成後に公知例調査を行って特開平 5 - 3 4 1 8 7 2 号公報を抽出した。これに記載の技術は、必要な都度ソフトウェア的な処理を行わずにハードウェア的に最適なクロック信号を他の外部データ処理装置に供給可能にすることを目的とするものであり、データ処理装置は異なる周波数のクロック信号を発生可能なクロックジェネレータを有し、外部データ処理装置に最適な動作クロック信号周波数のデータをコントロールレジスタに初期設定し、中央処理装置が出力するアドレスからアクセス対象の外部データ処理装置を識別し、コントロールレジスタから最適な周波数のデータを選択し、選択したデータにしたがって最適な周波数にクロック信号を外部に出力すると共に自らもそれを動作クロック信号として利用するように構成される。要するに、この公知例技術は、外部デバイスに共通のクロック信号をアクセスアドレスに応じて可変に周波数制御しようとするものである。しかしながら、この技術ではクロック周波数切り換え時にはデータ処理装置内部だけでなく、外部デバイスに対してもその動作状態を考慮してクロック周波数の切り換え制御を行わなければならない。外部デバイスの動作中にクロック周波数を切り換えると、クロック位相の不所望な変化により誤動作を生ずる虞がある。

【 0 0 0 5 】

本発明の目的は、複数のデバイスを夫々異なる動作クロック周波数でアクセス制御することができ、しかもアクセスの切り換え時のクロック制御を容易に行うことができるマイクロプロセッサを提供することにある。

【 0 0 0 6 】

本発明の別の目的は、マイクロプロセッサのような 1 個のデバイスで高速デバイスと低速デバイスを夫々固有のクロック信号に同期させて選択的にアクセスすることができると共にアクセスの切り換え時のクロック制御が容易なデータ処理装置を提供することにある。

【 0 0 0 7 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面

から明らかになるであろう。

【 0 0 0 8 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 0 9 】

〔1〕 マイクロプロセッサは、命令を実行する中央処理装置と、前記中央処理装置による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路とを1個の半導体チップに有し、前記外部バスインタフェース制御回路は複数の外部デバイス選択信号の中から外部アクセスアドレスに応じた外部デバイス選択信号を活性化可能である。そして、マイクロプロセッサは、前記外部バスインタフェース制御回路によって活性化される外部デバイス選択信号に応じて前記外部バスインタフェース制御回路の同期クロック信号を切り換え制御するクロック切り換え制御回路を備える。外部デバイス選択信号として二つの信号（第1及び第2の外部デバイス選択信号）に着目した具体的な態様では、前記外部バスインタフェース制御回路は外部アクセスアドレスに応じて第1の外部デバイス選択信号又は第2の外部デバイス選択信号を活性化可能である。クロック切り換え制御回路は、前記第1の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第1のクロック信号に切り換え制御し、前記第2の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第2のクロック信号に切り換え制御する。

【 0 0 1 0 】

上記手段によれば、第1及び第2の外部デバイス選択信号を受ける第1及び第2の外部デバイスには夫々第1及び第2のクロック信号を個別的に且つ常時供給しておけばよい。マイクロプロセッサが第1の外部デバイスをアクセスするときは当該マイクロプロセッサ内部の外部バスインタフェース制御回路の同期クロック信号を第1のクロック信号に切り換え制御し、マイクロプロセッサが第2の外部デバイスをアクセスするときは前記外部バスインタフェース制御回路の同期クロック信号を第2のクロック信号に切り換え制御すればよく、外部デバイスに

供給するクロック信号それ自体の切り換えを要せず、アクセス対象とすべき外部デバイスの切り換え時におけるクロック制御が容易である。

【 0 0 1 1 】

前記第 1 及び第 2 のクロック信号はマイクロプロセッサ内部のクロックパルスジェネレータで生成してよい。この場合、マイクロプロセッサは、前記クロックパルスジェネレータで生成される前記第 1 のクロック信号及び前記第 2 のクロック信号を半導体チップの外部に並列出力するクロック出力端子を有するのがよい。

【 0 0 1 2 】

前記外部バスインタフェース制御回路の同期クロック信号切り換え時の CPU 若しくは CPU の制御を受ける回路の誤動作を未然に防止する観点よりすれば、前記クロック切り換え制御回路は、前記デバイス選択信号の活性化に応じて前記中央処理装置による命令実行停止を要求し、命令実行停止要求に対する承認を受けてから、前記クロック信号の切り換えを行うのがよい。

【 0 0 1 3 】

前記外部バスインタフェース制御回路の同期クロック信号切り換え直後における当該外部バスインタフェース制御回路の誤動作を未然に防止することを考慮すると、前記クロック切り換え制御回路は、前記第 2 のクロック信号の周期に同期するタイミングでクロック信号の切り換えを行うのがよい。

【 0 0 1 4 】

〔 2 〕 外部バスインタフェース制御回路が低速の外部デバイスをアクセス制御するとき、中央処理装置は外部デバイスに対するアクセス完了を待つことになるが、その間、中央処理装置が高速に以降のデータ処理を継続するときパイプラインストール等の頻発が予想されるような場合、或いは低消費電力若しくはデータ処理の連続性等の観点より、中央処理装置の動作速度も遅くすることが一考に価する。この観点によるマイクロプロセッサのクロック切り換え制御回路は、前記第 1 の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第 1 のクロック信号に切り換え制御すると共に前記中央処理装置の同期クロック信号を第 3 のクロック信号に切り換え制御し、前記第

2の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第2のクロック信号に切り換え制御すると共に前記中央処理装置の同期クロック信号を第4のクロック信号に切り換え制御する。

【0015】

前記第1乃至第4のクロック信号はマイクロプロセッサ内部のクロックパルスジェネレータで生成してよい。この場合、クロックパルスジェネレータは、前記第1のクロック信号と、当該第1のクロック信号に対して所定の整数の分周比を以って周期が長くされた第2のクロック信号と、前記第3のクロック信号と、当該第3のクロック信号に対して所定の整数の分周比を以って周期が長くされた第4のクロック信号とを生成する。前記第3クロック信号及び第4クロック信号の周波数は前記第1クロック信号の周波数以上とする。そして、マイクロプロセッサは、前記第1のクロック信号及び前記第2のクロック信号を半導体チップの外部に並列出力するクロック出力端子を有するのがよい。

【0016】

〔3〕本発明の別の観点による半導体モジュールは、複数の外部接続電極と複数層の配線層とを有するモジュール基板に、プロセッサチップと第1のクロック信号に同期動作されるメモリチップが設けられ、前記プロセッサチップは、第1のクロック信号及び前記第1のクロック信号よりも周波数の低い第2のクロック信号を生成して外部に並列出力するクロックパルスジェネレータを有し、前記第1のクロック信号に同期して前記メモリチップをアクセス可能であると共に、前記第2のクロック信号に同期して前記外部接続電極を介する外部アクセスが可能にされる。この半導体モジュールは前記外部接続端子を介してマザーボードなどに実装される。この実装状態においてプロセッサチップはマザーボード上の低速のデバイスをアクセス制御する。上述と同様に、メモリチップ及びマザーボード上の低速デバイスには夫々第1及び第2のクロック信号を個別的に且つ常時供給しておけばよい。プロセッサチップはメモリチップをアクセスするときアクセス動作の同期クロック信号を第1のクロック信号に切り換え制御し、マザーボード上の低速デバイスをアクセスするときアクセス動作の同期クロック信号を第2のクロック信号に切り換え制御すればよいので、メモリチップや外部デバイスに

供給するクロック信号それ自体の切り換えを要せず、アクセス対象とすべきメモリチップや外部デバイスの切り換え時におけるクロック制御が容易である。

【 0 0 1 7 】

前記プロセッサチップは命令を実行する中央処理装置と、前記中央処理装置による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路と、クロック切り換え制御回路とを1個の半導体チップに有する。前記外部バスインタフェース制御回路は外部アクセスアドレスに応じて前記メモリチップを選択するメモリチップ選択信号又は前記外部接続電極を介して外部に接続されるデバイスを選択する外部デバイス選択信号を活性化可能である。前記クロック切り換え制御回路は、前記メモリチップ選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第1のクロック信号に切り換え制御し、前記外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第2のクロック信号に切り換え制御する。

【 0 0 1 8 】

〔 4 〕 本発明の別の観点によるデータ処理システムは、実装基板に、第1のクロック信号及び前記第1のクロック信号よりも周波数の低い第2のクロック信号を夫々別々に伝達する第1のクロック配線及び第2のクロック配線と、第1のクロック配線から供給される第1のクロック信号に同期動作される第1のデバイスと、前記第2のクロック信号に同期動作される第2のデバイスと、前記第1のクロック信号に同期して前記第1のデバイスをアクセス制御可能であると共に前記第2のクロック信号に同期して前記第2のデバイスをアクセス制御可能な第3のデバイスとを有する。このデータ処理システムにおいて、高速メモリ等の第1のデバイス及び低速 I O（入出）力回路などの第2のデバイスには夫々第1及び第2のクロック信号を個別的に且つ常時供給しておけばよい。マイクロプロセッサなどの第3のデバイスは、第1のデバイスをアクセスするときアクセス動作の同期クロック信号を第1のクロック信号に切り換え制御し、第2のデバイスをアクセスするときアクセス動作の同期クロック信号を第2のクロック信号に切り換え制御すればよいので、高速メモリチップ等の第1のデバイスや低速 I O などの第2のデバイスに供給するクロック信号それ自体の切り換えを要せず、アクセス対

象とすべきデバイスの切り換え時におけるクロック制御が容易である。

【0019】

前記実装基板は1枚の回路基板から構成してもよいが、例えば、第1の基板配線を有し当該第1の基板配線に前記第2のデバイスが接続された第1回路基板と、前記第1の基板配線に接続される第2の基板配線を有し当該第2の基板配線に前記第1のデバイス及び第3のデバイスが接続された第2回路基板とによって構成してもよい。

【0020】

前記第3のデバイスは命令を実行する中央処理装置と、前記中央処理装置による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路と、クロック切り換え制御回路とを1個の半導体チップに有するマイクロプロセッサである。前記外部バスインタフェース制御回路は外部アクセスアドレスに応じて前記第1のデバイスを選択する第1の外部デバイス選択信号又は前記第2のデバイスを選択する第2の外部デバイス選択信号を活性化可能である。前記クロック切り換え制御回路は、前記第1の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第1のクロック信号に切り換え制御し、前記第2の外部デバイス選択信号の活性化に応答して前記外部バスインタフェース制御回路の同期クロック信号を第2のクロック信号に切り換え制御する。

【0021】

前記第3のデバイスは、前記第1のクロック信号と当該第1のクロック信号に対して所定の整数の分周比を以って周期が長くされた第2のクロック信号を生成するクロックパルスジェネレータと、前記クロックパルスジェネレータで生成される前記第1のクロック信号及び前記第2のクロック信号を半導体チップの外部に並列出力するクロック出力端子を有してよい。

【0022】

【発明の実施の形態】

図1には本発明に係るデータ処理システムの一例が示される。同図に示されるデータ処理システムは、代表的に示された夫々半導体集積回路化されている高速

半導体デバイス（第 1 のデバイス）1、低速半導体デバイス（第 2 のデバイス）2、及びマイクロプロセッサ（第 3 のデバイス）3、を有し、それらはバス 4 に共通接続される。バス 4 は、データ、アドレス、アクセス制御信号を伝達する。前記高速半導体デバイス 1 は、SDRAM などの高速メモリに代表されるように、150MHz のような周波数の高いクロック信号（第 1 のクロック信号）CKIO1 に同期動作する。低速半導体デバイス 2 は、ポインティングデバイス等のマン・マシン・インタフェース機器に接続される IO デバイスに代表されるように、20MHz のような比較的周波数の低いクロック信号（第 2 のクロック信号）CKIO2 に同期動作する。前記第 1 のクロック信号 CKIO1 は第 1 のクロック配線 5 を介してマイクロプロセッサ 3 から高速半導体デバイス 1 に供給され、前記第 2 のクロック信号 CKIO2 は前記第 1 のクロック配線 5 とは別の第 2 のクロック配線 6 を介してマイクロプロセッサ 3 から低速半導体デバイス 2 に供給される。図 1 では高速半導体デバイス 1 寄りの位置で第 1 のクロック配線 5 に入出力周波数等倍の PLL（フェーズ・ロックド・ループ）回路 5A が介在され、高速半導体デバイス 1 のクロック同期動作を補償できるようになっている。

【0023】

マイクロプロセッサ 3 は前記クロック信号 CKIO1、CKIO2 と共にその他の内部同期クロック信号を生成するクロックパルスジェネレータ（CPG）7 を備えている。マイクロプロセッサ 3 は前記第 1 のクロック信号 CKIO1 に同期して前記高速半導体デバイス 1 をアクセス制御可能であると共に前記第 2 のクロック信号 CKIO2 に同期して前記低速半導体デバイス 2 をアクセス制御可能である。このアクセス制御は、中央処理装置（CPU）8 による命令実行に基づいて外部バス制御を行う外部バスインタフェース制御回路（EXBC）9 が行う。この外部バスインタフェース制御回路 9 は高速半導体デバイス 1 に割当てられたアドレスを外部アクセスアドレスとするときチップ選択信号（第 1 の外部デバイス選択信号）CS1 を活性化して高速半導体デバイス 1 を動作可能若しくは動作選択する。また、外部バスインタフェース制御回路 9 は低速半導体デバイス 2 に割当てられたアドレスを外部アクセスアドレスとするときチップ選択信号（第 2 の外部デバイス選択信号）CS2 を活性化して低速半導体デバイス 2 を動作可

能若しくは動作選択する。高速半導体デバイス 1 が第 1 のクロック信号 $CKIO_1$ に同期して動作するとき前記外部バスインタフェース制御回路 9 を第 1 のクロック信号 $CKIO_1$ に同期動作させ、また、低速半導体デバイス 2 が第 2 のクロック信号 $CKIO_2$ に同期して動作するとき前記外部バスインタフェース制御回路 9 を第 2 のクロック信号 $CKIO_2$ に同期動作させるために、クロック切り換え制御回路 ($CKSL$) 10 を有する。このクロック切り換え制御回路 10 は、前記第 1 の外部デバイス選択信号 CS_1 の活性化に応答して前記外部バスインタフェース制御回路 9 の同期クロック信号 $B\phi$ を第 1 のクロック信号 $CKIO_1$ に切り換え制御し、前記第 2 の外部デバイス選択信号 CS_2 の活性化に応答して前記外部バスインタフェース制御回路 9 の同期クロック信号 $B\phi$ を第 2 のクロック信号 $CKIO_2$ に切り換え制御する。

【 0 0 2 4 】

図 1 で説明したデータ処理システムによれば、第 1 及び第 2 の外部デバイス選択信号 CS_1 、 CS_2 を受ける高速及び低速半導体デバイス 1、2 には夫々第 1 及び第 2 のクロック信号 CK_1 、 CK_2 を個別的に且つ常時供給しておけばよい。マイクロプロセッサ 3 が高速半導体デバイス 1 をアクセスするときは外部バスインタフェース制御回路 9 の同期クロック信号 $B\phi$ を第 1 のクロック信号 $CKIO_1$ に切り換え制御し、マイクロプロセッサ 3 が低速半導体デバイス 2 をアクセスするときは前記外部バスインタフェース制御回路 9 の同期クロック信号 $B\phi$ を第 2 のクロック信号 $CKIO_2$ に切り換え制御すればよく、高速及び低速半導体デバイス 1、2 に供給するクロック信号それ自体を切り換え制御することを要せず、アクセス対象とすべき外部デバイスの切り換え時におけるクロック制御が容易である。

【 0 0 2 5 】

図 2 には図 1 のデータ処理システムに対する比較例として外部のクロック信号 $CKIO_i$ の周波数それ自体を切り換え制御するシステムが例示される。図 2 では高速半導体デバイス 1 及び低速半導体デバイス 2 の双方に共通のクロック配線 5 を介してクロック信号 $CKIO_i$ が共通に供給される。クロック切り換え制御回路 ($CKSL$) 10 A はクロックパルスジェネレータ 7 が出力する前記クロッ

ク信号CKIO1, CKIO2を選択してクロック信号CKIOiとする。すなわち、クロック切り換え制御回路(CKSL)10Aは、前記第1の外部デバイス選択信号CS1の活性化に応答してクロック信号CKIOiをクロック信号CKIO1に切り換え、前記第2の外部デバイス選択信号CS2の活性化に応答してクロック信号CKIOiをクロック信号CKIO2に切り換え制御する。外部バスインタフェース制御回路(EXBC)9Aはクロック信号CKIOiを同期クロック信号として高速及び低速半導体デバイス1, 2のバスアクセス制御を行う。図2のデータ処理システムではCKIO1とCKIO2との間でクロック信号CKIOiを切り換えるとき、双方の半導体デバイス1, 2は共に動作停止状態でなければ誤動作を生ずる虞がある。例えば、マイクロプロセッサ3Aが高速半導体デバイス1をアクセスした後、低速半導体デバイス2をアクセスするとき、高速半導体デバイス1に供給されるクロック信号CKIOiも低速半導体デバイス用の遅いクロック信号CKIO2の周波数に変化される。したがって、マイクロプロセッサ3Aがアクセスした後も高速半導体デバイス1の動作が続くような場合には、マイクロプロセッサ3Aのアクセスが終了しても、高速半導体デバイス1の動作終了を確認した後でなければ動作クロック信号CKIOiの周波数を切り換えることはできない。したがって、図2のシステムでは、クロック信号CKIOiの周波数切り換えを行う場合には、マイクロプロセッサ3Aによるアクセスアドレスエリア判定だけでは不十分であり、全ての外部デバイスの動作が停止しているか否かを判定し、或いは強制的に動作を停止される制御が必要になる。図1のデータ処理システムではクロック切り換え時にそのような制御を行わなくても誤動作の虞はない。

【0026】

次に図1のデータ処理システムに利用可能なマイクロプロセッサの一例を説明する。図3には本発明に係るマイクロプロセッサの一例が示される。同図に示されるマイクロプロセッサ3は、例えば公知の半導体集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成される。このマイクロプロセッサ1は、特に制限されないが、中央処理装置(CPU)8、浮動小数点演算ユニット(FPU)13、内部メモリユニット14、バスステートコントローラ(BS

C) 15、ダイレクトメモリアクセスコントローラ (DMAC) 16、クロックパルスジェネレータ (CPG) 7、割り込みコントローラ (INTC) 18、シリアルコミュニケーションインタフェース回路 (SCI) 19、タイマカウンタ (TMU) 20、及び外部バスインタフェース回路 21 を有する。前記内部メモリユニット 14 はキャッシュメモリ (CACHE) 24、アドレス変換バッファ (TLB) 25、及びメモリ管理部 (MMU) 26 を有する。

【 0 0 2 7 】

CPU 8 は、例えば 4 ギガバイトの論理アドレス空間をサポートするために 32 ビットのアドレスを利用する。CPU 8 は、特に図示はしないが、汎用レジスタ、演算器、プログラムカウンタなどの制御用レジスタ群、そして命令のフェッチや解読並びに命令実行手順を制御したり演算制御を行う命令制御部を有する。CPU 8 は命令フェッチの為の命令アドレスを命令アドレスバス 31 に出力し、命令バス 32 を介して命令を読み込む。また、CPU 8 はオペランドのロード又はストアのためのデータアドレスをデータアドレスバス 33 から内部メモリユニット 14 に与える。FPU 13 はアドレッシング機能を持たず CPU 8 が代わりアドレッシングを行う。CPU 8 及び FPU 13 のデータ処理に係るデータのロード、ストアはデータバス 34、35 を介して行なわれる。

【 0 0 2 8 】

CPU 8 はマイクロプロセッサ 3 の外部に配置された図示を省略するメインメモリ又はキャッシュメモリ 24 から命令をフェッチし、その命令を前記命令制御部で解読することにより、当該命令記述に応じたデータ処理を行う。FPU 13 は CPU 8 のアドレッシング機能でロードされたデータに対する浮動小数点演算を行い、演算結果は CPU 8 のアドレッシング機能を介してメモリ等にストアされ、或いはデータバス 35 を介して CPU 8 のレジスタにロードされる。

【 0 0 2 9 】

マイクロプロセッサ 3 は論理アドレス空間を論理ページと呼ばれる単位に分割し、そのページ単位に物理アドレスへのアドレス変換を行うための仮想記憶をサポートする。前記 MMU 26 は TLB 25 の管理と共にアドレス変換に伴う制御を行う。TLB 25 は論理ページ番号と物理ページ番号とに関する変換対などを

TLB エントリとして格納する連想メモリとして構成され、MMU 2 6 は CPU 8 が出力する論理アドレスを TLB 2 5 などを用いて物理アドレスに変換する。TLB ミスの場合にはその論理アドレスに対応される TLB エントリは MMU 2 6 を介して前記図示を省略するメインメモリ上のアドレス変換テーブル（ページテーブル）から読み込まれる。前記 TLB 2 5 は例えばマルチウェイ形式のキャッシュメモリによって構成される。TLB ミスなどのアドレス変換に係る各種例外が発生すると、MMU 2 6 はその例外要因を要因レジスタ（図示せず）にセットし、且つ、TLB ミスなどのアドレス変換に係る例外発生の通知信号（図示せず）を CPU 8 に送る。CPU 8 は、要因レジスタにセットされた要因を用いて、或いはそれを用いずにハードウェアで直接、所定の例外処理に分岐される。

【 0 0 3 0 】

キャッシュメモリ 2 4 はマルチウェイ形式を有し、例えば、4 ウェイ・セットアソシアティブ形式の連想メモリ部としてのキャッシュメモリ部とその制御部を備える。キャッシュメモリに対するインデックスは論理アドレスの一部を用いて行われ、キャッシュエントリのタグ部には物理アドレスが保有され、インデックスされたタグ部はその論理アドレスが TLB 2 5 を用いて変換された物理アドレスと比較され、その比較結果に応じてキャッシュミス／ヒットを判定する。キャッシュミスの場合に当該キャッシュミスに係るデータ又は命令は前記図示を省略するメインメモリ等から読み込まれ、読み込まれたデータ又は命令は新たなキャッシュエントリとしてキャッシュメモリ 2 4 に格納される。

【 0 0 3 1 】

DMA C 1 6 は CPU 8 によってデータ転送制御条件が設定された後、DMA 転送要求に応答して、そのデータ転送制御条件に従って外部デバイスなどとの間でのデータ転送を制御する。

【 0 0 3 2 】

前記バスステートコントローラ 1 5 は内部バス 4 0 を介して前記内部メモリユニット 1 4 に結合され、外部インタフェースバス 4 1 を介して外部バスインタフェース回路 2 1 に接続され、周辺バス 4 2 を介して CPG 7、INTC 1 8、SCI 1 9 及び TMU 2 0 などの周辺回路に接続され、DMA バス 4 3 を介して D

MAC 1 6 に接続される。バスステートコントローラ 1 5 は、内部メモリユニット 1 4 におけるキャッシュミスや TL B ミスに際してエントリをリプレースするのに要するメインメモリアクセス、キャッシュ非対象アドレスエリアに対するデバイスアクセス、DMAC 1 6 を用いた外部とのデータ転送のためのアクセス、などに必要な外部バス 4 を介するバスアクセスや、周辺バス 4 2 を介する周辺回路アクセスの為の、ウェイト制御、エリア選択制御、及びメモリインタフェース制御等を等を行う。

【 0 0 3 3 】

図 4 には C P G 7 の一例が示される。ここでは水晶発振回路 5 0 で生成されるクロック信号を P L L 回路 5 1 で $1/2$ 分周し、これを後段の P L L 回路 5 2 で周波数を 6 倍に通倍する。P L L 回路 5 2 の出力は分周回路 5 3 で周波数が 1, $1/2$, $1/3$, $1/4$, $1/6$, $1/8$ 倍にされて夫々出力される。分周されたクロック信号はセクタ 5 4 ~ 5 7 で選択され、アンドゲート 5 8 ~ 6 1 を介して、内部クロック信号 I ϕ 、周辺クロック信号 P ϕ 、バスクロック信号 B ϕ 1、B ϕ 2 マイクロプロセッサ 3 の内部に供給される。前記セクタ 5 4 ~ 5 7 によるクロック選択動作はクロック選択レジスタ 6 2 に設定された選択データにしたがって決定される。前記アンドゲート 5 8 ~ 6 1 にはスタンバイ制御レジスタ 6 3 の制御ビットが供給され、この制御ビットが論理値 “0” でクロック信号 I ϕ 、P ϕ 、B ϕ 1、B ϕ 2 が出力可能にされ、論理値 “1” でクロック信号 I ϕ 、P ϕ 、B ϕ 1、B ϕ 2 の変化が停止される。前記レジスタ 6 2, 6 3 は C P U 8 によってリード・ライト可能にされる。スタンバイ制御レジスタ 6 3 の制御ビットはスタンバイ解除信号 6 3 A によって論理値 “0” にクリア可能にされる。前記セクタ 5 6 の出力は入出力周波数が等倍の P L L 回路 6 4 を介して前記第 1 のクロック信号 C K I O 1 とされる。前記セクタ 5 7 の出力は入出力周波数が等倍の P L L 回路 6 5 を介して前記第 2 のクロック信号 C K I O 2 とされる。

【 0 0 3 4 】

前記内部クロック信号 I ϕ はマイクロプロセッサ 3 の C P U 8、F P U 1 3、内部メモリユニット 1 4 の同期動作クロック信号とされる。周辺クロック信号 P ϕ は前記 C P G 7、I N T C 1 8、S C I 1 9 及び T M U 2 0 などの周辺回路と

DMA C 1 6 の同期動作クロック信号とされる。前記バスクロック信号 B ϕ 1、B ϕ 2 は外部バス 4 を介する外部デバイスアクセスに際してバスステートコントローラ 1 5 内部の同期動作クロック信号 B ϕ として用いられる。

【 0 0 3 5 】

図 5 には前記バスステートコントローラ 1 5 の詳細が例示される。バスステートコントローラ 1 5 はバス 4 0 ~ 4 3 を介して動作速度若しくは同期動作クロック周波数の異なる回路部分と夫々データ、アドレス、及び制御信号を入出力しなければならない。動作クロック信号の観点よりすれば、バスステートコントローラ 1 5 は、内部バス 4 0 に接続される内部バスインタフェース制御回路 7 0、周辺バス 4 2 に接続される周辺バスインタフェース制御回路 7 1、DMA バス 4 3 に接続される DMA バスインタフェース制御回路 7 2、外部インタフェースバス 4 1 に接続される前記外部バスインタフェース制御回路 (E X B C) 9、及びバッファ 7 3 を備えて構成される。内部バスインタフェース制御回路 7 0 は内部クロック信号 I ϕ に、周辺バスインタフェース制御回路 7 1 及び DMA バスインタフェース制御回路 7 2 は周辺クロック信号 P ϕ に、外部バスインタフェース制御回路 9 はバスクロック信号 B ϕ に同期動作される。

【 0 0 3 6 】

前記外部バスインタフェース制御回路 9 は、エリア選択制御部 7 4、メモリ制御部 7 5、及びウェイト制御部 7 6 を有する。エリア選択制御部 7 4 は外部メモリ空間の複数のアドレスエリアをプログラマブルに指定するエリア指定レジスタを有し、指定されたアドレスエリア毎にチップ選択信号が割当てられ、指定アドレスエリアに含まれる外部アクセスアドレスを検出することにより当該アドレスエリアに対応するチップ選択信号を選択レベルに制御する。メモリ制御部 7 5 は前記アドレスエリア毎に固有のメモリアクセス制御信号を出力する機能を有し、前記エリア選択制御部 7 4 でチップ選択されるアドレスエリアに対応させてメモリアクセス制御信号を出力する。前記ウェイト制御部 7 6 は低速メモリデバイスがマッピングされたアドレスエリアのアクセスサイクルに対してウェイトステートの挿入を制御する。

【 0 0 3 7 】

図 5 では前記エリア選択制御部 7 4 が出力するチップ選択信号前記 C S 1, C S 2 が代表的に示されている。このチップ選択信号 C S 1, C S 2 は図 1 で説明したように当然バス 4 1 を介してマイクロプロセッサ 3 の外部に出力されるが、マイクロプロセッサ 3 の内部では前記クロック切り換え制御回路 1 0 に供給され、前述の通り同期クロック信号 B ϕ としてクロック信号 B ϕ 1 又は B ϕ 2 の選択制御に利用される。

【 0 0 3 8 】

図 6 には同期クロック信号 B ϕ の周波数選択を主眼として前記エリア選択制御部 7 4 及び前記クロック切り換え制御回路 1 0 の詳細な一例が示される。同図において 8 1、8 2 は代表的に例示されたエリア指定レジスタであり、C P U 8 によってアドレスエリアが指定可能にされる。ここでは、エリア指定レジスタ 8 1 は前記高速半導体デバイス 1 のマッピングアドレスエリアの指定に利用され、エリア指定レジスタ 8 2 は前記低速半導体デバイス 2 のマッピングアドレスエリアの指定に利用される。コンパレータ 8 3、8 4 はエリア指定レジスタ 8 1、8 2 に指定されたアドレスエリアとアクセスアドレスの所定上位複数ビットとを比較し、一致する場合には対応するチップ選択信号 C S 1, C S 2 をハイレベルにパルス変化させる。クロック切り換え制御回路 1 0 は、セット・リセット型のフリップフロップ 8 5、D 型のフリップフロップ 8 6、8 7、及びクロックセクタ 8 8 を有する。フリップフロップ 8 5 はセット端子 S にチップ選択信号 C S 1、リセット端子 R にチップ選択信号 C S 2 が入力され、これによって出力端子 Q には、低速半導体デバイス 2 から高速半導体デバイス 1 にチップ選択状態が切り変わったとき論理値 “1”、逆に高速半導体デバイス 1 から低速半導体デバイス 2 にチップ選択状態が切り変わったとき論理値 “0” に変化される信号 9 0 が得られる。この信号 9 0 は、その立ち上がり変化、又は立ち下がり変化によって、C P U 8 に命令の実行停止を要求する。C P U 8 は前記信号 9 0 の変化に応答して、現在実行中の命令実行を終了した後、命令実行を停止し、停止するとき信号 9 1 を 1 回パルス変化させる。前記フリップフロップ 8 6 は信号 9 0 をデータ入力端子 D に、信号 9 1 をクロック端子 C に入力し、信号 9 1 のパルス変化の同期して信号 9 1 をラッチする。したがって、低速半導体デバイス 2 から高速半導体デ

バイス 1 にチップ選択状態が切り換わりって CPU 8 の命令実行が停止されたときフリップフロップ 8 6 は論理値 “1” をラッチする。また、高速半導体デバイス 1 から低速半導体デバイス 2 にチップ選択状態が切り換わって CPU 8 の命令実行が停止されたときフリップフロップ 8 6 は論理値 “0” をラッチする。フリップフロップ 8 6 の出力はクロック信号 B φ 2 の立ち下がりに同期してフリップフロップ 8 7 にラッチされる。フリップフロップ 8 7 の出力信号 9 2 は論理値 “1” によりクロック信号 B φ としてクロック信号 B φ 1 を選択し、このとき外部バスアクセス対象とされる高速半導体デバイス 1 と同じクロック信号 B φ 1 に同期して外部バスインタフェース制御回路 9 が動作される。フリップフロップ 8 7 の出力信号 9 2 が論理値 “0” のときはクロック信号 B φ としてクロック信号 B φ 2 を選択し、このとき外部バスアクセス対象とされる低速半導体デバイス 2 と同じクロック信号 B φ 2 に同期して外部バスインタフェース制御回路 9 が動作される。このクロック信号 B φ に B φ 1 又は B φ 2 の何れを選択するか切り換えタイミングは前記フリップフロップ 8 7 の作用により、図 7 に例示されるように、最も周波数の低いクロック信号 B φ 2 の周期に同期するから、途中で同期クロックの周期が極端に短くなって誤動作を生ずる虞を未然に防止することができる。

【 0 0 3 9 】

図 8 には外部アクセスアドレスエリアの切り換えに応答する外部バスインタフェース制御回路 9 のクロック周波数切り換え動作のフローチャートが例示される。外部バスインタフェース制御回路 9 よりアドレスエリアの切り換えが指示されると (S 1)、信号 9 0 によって CPU 8 へ命令実行停止が要求される (S 2)。CPU はこれに応答して命令実行を停止し、これがクロック切り換え制御回路 1 0 に通知され (S 4)、クロック信号 B φ 2 に同期してクロック切り換えが行なわれる (S 4) と共に CPU 8 の命令実行停止の解除が指示される (S 5)。

【 0 0 4 0 】

次にクロック制御回路の別の例を説明する。図 9 及び図 1 0 では外部デバイスのアクセスエリア切り換えに応答して CPU 8 の同期クロック信号周波数も切り換え可能にした例を説明する。

【 0 0 4 1 】

図 9 に示されるクロック切り換え制御回路 1 0 A は前記クロック信号 B ϕ の選択論理の他に、クロック信号 P ϕ 、I ϕ を入力し、チップ選択信号 C S 1、C S 2 の状態に応じてクロック信号 P ϕ 、I ϕ の一方を選択し、これを C P U 8 の同期クロック信号 I P ϕ とする点が図 5 の構成と相違される。これに応じて、バスステートコントローラ 1 5 の内部バスインタフェース制御回路 7 0 には前記クロック信号 I P ϕ が同期クロック信号として供給される。

【 0 0 4 2 】

図 1 0 にはクロック切り換え制御回路 1 0 A の詳細が例示される。図 6 の構成に対し、信号 9 2 に基づいてクロック信号 I ϕ 又は P ϕ を選択し、クロック信号 I P ϕ として出力するクロックセクタ 9 5 を追加した点が相違される。図 1 0 の例では、クロックセクタ 8 8 がクロック信号 B ϕ として高速半導体デバイス 1 用の高速クロック信号 B ϕ 1 (C K I O 1) を選択する状態において、もう一つのクロックセクタ 9 5 はクロック信号 I P ϕ として内部クロック信号 I ϕ を選択する状態にされる。これに対し、クロックセクタ 8 8 がクロック信号 B ϕ として低速半導体デバイス 2 用の低速クロック信号 B ϕ 2 (C K I O 2) を選択する状態において、もう一つのクロックセクタ 9 5 はクロック信号 I P ϕ として周辺クロック信号 P ϕ を選択する状態にされる。これにより、マイクロプロセッサ 3 が低速半導体デバイス 2 をアクセスするとき、C P U 8 も周辺クロック信号 P ϕ に同期して比較的低速で動作される。したがって、C P U 8 が低速半導体デバイス 2 に対するアクセス完了を待つとき低消費電力に寄与する。更に、その間、C P U 8 がデータ処理を継続しても、処理動作が低速であるからパイプラインストール等が頻発する事態を防止でき、データ処理の連続性を達成し易くなる。

【 0 0 4 3 】

図 1 1 には図 1 のデータ処理システムを実装ボードの構成に着目して示してある。図 1 1 において 1 0 0 はマザーボード（第 1 の回路基板）、1 0 1 はマザーボード 1 0 0 に搭載されるドーターボード（第 2 の回路基板）である。ドーターボード 1 0 1 には第 2 の基板配線としてクロック配線 6 A 及びバス 6 A 等が設け

られ、代表的に例示された前記マイクロプロセッサ 3 及び高速半導体デバイス 1 が前記クロック配線 5 及びバス 6 A に接続されて実装されている。マザーボード 1 0 0 には第 1 の基板配線としてクロック配線 4 及びバス 6 B 等が形成され、代表的に示された低速半導体デバイス 2 がこれに接続して実装される。ドーターボード 1 0 1 のバス 6 A とマザーボード 1 0 0 のバス 6 B との接続、クロック配線 4 とマイクロプロセッサ 3 との接続は、概念的に図示されたソケット・コネクタ 1 0 2 の構造によって実現される。

【 0 0 4 4 】

図 1 1 のドーターボード 1 0 1 は多層配線構造のモジュール基板を用いた半導体モジュールとして構成してもよい。図 1 2 には多層配線基板における多層配線構造の一例が示される。多層配線基板 1 0 5 は、複数の配線層を有するコア層又はベース層 1 0 6 の表裏に、夫々同じ層数の配線層が積み重ねられたビルドアップ層 1 0 7, 1 0 8 を生成した構造を有する。コア層 1 0 6 の表裏に層数の等しいビルドアップ層 1 0 7, 1 0 8 を形成することによる表裏の対称性により、ドーターボード 1 0 1 の熱による反りを良好に防止できる。

【 0 0 4 5 】

前記コア層 1 0 6 は、例えばガラスエポキシ樹脂を介して 4 層の銅からなる配線層 1 1 0 A ~ 1 1 0 D を積層して構成される。一方のビルドアップ層 1 0 7 は、コア層 1 0 6 の上面に更にエポキシ樹脂を介して 3 層の銅からなる配線層 1 1 1 A ~ 1 1 1 C を積層して構成される。他方のビルドアップ層 1 0 8 も同様に、コア層 1 0 6 の底面に更にエポキシ樹脂を介して 3 層の銅からなる配線層 1 1 2 A ~ 1 1 2 C を積層して構成される。上記配線層は相互に必要な接続を採るためにスルーホール T H 等で適宜結合されている。

【 0 0 4 6 】

特に、所定の配線層 1 1 0 A ~ 1 1 0 D は選択的に設けられたスルーホール部を除き、全面一様に導体層としたベタパターンで形成された電源配線パターンやグランド配線パターンとされ、信号パターンと電源パターン若しくはグランドパターンとの間の等価静電容量を大きく且つ回路全体に亘って均一に採ることができるように考慮されている。

【 0 0 4 7 】

ビルドアップ層 1 0 7 の最上層は前記マイクロプロセッサ 3 等の所定の半導体集積回路のベアチップ 1 1 4 を搭載のために利用する実装パッドの部分を除いてソルダーレジスト層などの絶縁層（若しくは保護層） 1 1 3 で覆われている。ベアチップ 1 1 4 の金（Au）からなるバンプ電極 1 1 5 は異方導電性フィルム 1 1 6 を介して 1 1 1 A 等で成る実装パッドに導電接続され、且つ異方導電性フィルム 1 1 6 を介してビルドアップ層 1 0 7 の表面に固定されている。

【 0 0 4 8 】

ビルドアップ層 1 0 8 の表面は外部接続電極 1 2 0 を形成する部分を除いてレジスト層などの絶縁層 1 1 7 で覆われている。絶縁層 1 1 7 から露出された配線層 1 1 2 A の部分には半田ボールで外部接続電極 1 2 0 が形成されている。

【 0 0 4 9 】

ビルドアップ層 1 0 7 及び 1 0 8 は、コア層 1 0 6 にエポキシ樹脂をつけて、所望の部分にスルホールを形成し、その上面に銅からなる配線パターンを形成する工程を繰り返すことによって形成される。更に詳しく説明すると、ビルドアップ層は、以下のようにして形成される。まず、コア層 1 0 6 を、エポキシ樹脂溶液に浸し、コア層 1 0 6 の表裏に 1 層目のエポキシ樹脂層を形成する。そして、配線接続部に対応する部分のエポキシ樹脂層にスルホールを形成するため、適当なエッチングマスクを用いてエッチングを行う。その後、配線層 1 1 1 C または 1 1 2 C を構成する銅からなる金属膜を形成し、エッチングを行うことによって、配線層 1 1 1 C または 1 1 2 C を形成する。上記工程を順次行うことによって、配線層 1 1 1 A 又は 1 1 2 A まで形成する。その後、ソルダーレジスト膜の様な絶縁膜 1 1 3 及び 1 1 7 を選択的に形成する事によって、ビルドアップ層 1 0 7 及び 1 0 8 が形成される。

【 0 0 5 0 】

仮に片面にビルドアップ層を生成した基板では、コア層とビルドアップ層の熱に対する特性が異なるため、モジュールの実装時に発生する熱応力などの影響でモジュールが反る虞がある。そうすると、基板内のいずれかの層に又はコア層とビルドアップ層との剥離が発生したり、内部の配線の断線が発生する場合もある

。図 1 2 で説明したように、コア層 1 0 6 の両面にビルドアップ層 1 0 7, 1 0 8 を生成した基板では、表裏両面の熱に対する特性が等しくなるため、熱応力の影響を低く抑えることが可能となる。したがって、層間剥離や配線の破壊の可能性を低減することが可能になり、信頼性の高いマルチチップモジュールを実現することが可能になる。

【 0 0 5 1 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 5 2 】

例えば、以上の説明では、クロック切り換え制御回路 1 0 によって外部バスインタフェース制御回路 9 のクロック信号を切り換えるとき、CPU の命令実行を停止するようにしたが、本発明はそれに限定されない。CPU やキャッシュメモリの動作がバスステートコントローラにおけるクロック切り換え動作によって何ら影響を受けない場合にはそのような CPU に対する命令実行の停止及び再開の制御を不要にしてもよい。また、マイクロプロセッサは外部デバイス用の同期クロック信号出力機能を持たなくてもよい。但しその場合、マイクロプロセッサは外部デバイス用同期クロック信号を外部から入力しなければならない。また、マイクロプロセッサは画像処理等の特定のデータ処理に特化したグラフィックプロセッサ等のデバイスであってもよい。

【 0 0 5 3 】

また、以上の説明では外部デバイス選択信号として二つの信号（第 1 及び第 2 の外部デバイス選択信号）に着目したが、本発明は 3 種類以上の外部デバイス選択信号に対して夫々バスインタフェース制御回路の同期クロック信号周波数を切り換え制御するようにしてよいことは言うまでもない。

【 0 0 5 4 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 5 5 】

すなわち、マイクロプロセッサ等によってアクセスされる高速及び低速の外部デバイスには夫々必要な周波数のクロック信号を個別的に個別のクロック配線で供給しておき、マイクロプロセッサによる外部アクセス対象デバイス若しくはアドレスエリアに応じてマイクロプロセッサ内部の外部バスインタフェース制御回路の同期クロック信号を切り換え制御するから、外部デバイスに供給するクロック信号それ自体の切り換えを要せず、アクセス対象とすべき外部デバイスの切り換え時におけるクロック制御が容易であるという効果を得ることができる。

【図面の簡単な説明】

【図 1】

本発明に係るデータ処理システムの一例を示すブロック図である。

【図 2】

図 1 のデータ処理システムに対する比較例として外部のクロック信号の周波数それ自体を切り換え制御するシステムを例示するブロック図である。

【図 3】

本発明に係るマイクロプロセッサの一例を示すブロック図である。

【図 4】

C P G の一例を示す論理回路図である。

【図 5】

バスステートコントローラ及びクロック切り換え制御回路の一例を示すブロック図である。

【図 6】

エリア選択制御部及びクロック切り換え制御回路の詳細を同期クロック信号の周波数選択を主眼に例示したブロック図である。

【図 7】

クロック切り換え制御回路におけるクロック信号の切り換えタイミングを例示するタイミングチャートである。

【図 8】

外部アクセスアドレスエリアの切り換えに応答する外部バスインタフェース制

御回路のクロック周波数切り換え動作を全体的に示すフローチャートである。

【図 9】

バスステートコントローラ及びクロック切り換え制御回路の別の例を示すブロック図である。

【図 1 0】

図 9 のクロック切り換え制御回路の詳細を例示するブロック図である。

【図 1 1】

図 1 のデータ処理システムを実装ボードの構成に着目して示したブロック図である。

【図 1 2】

多層配線基板における多層配線構造を例示する断面図である。

【符号の説明】

- 1 高速半導体デバイス（第 1 のデバイス）
- 2 低速半導体デバイス（第 2 のデバイス）
- 3 マイクロプロセッサ（第 3 のデバイス）
- 4 バス
- 5, 6 クロック配線
- 7 クロックパルスジェネレータ
- 8 中央処理装置（CPU）
- 9 外部バスインタフェース制御回路
- 10 クロック切り換え制御回路
- CKIO1 第 1 のクロック信号
- CKIO2 第 2 のクロック信号
- CS1 チップ選択信号（第 1 の外部デバイス選択信号）
- CS2 チップ選択信号（第 2 の外部デバイス選択信号）
- 14 内部メモリユニット
- 15 バスステートコントローラ
- Iφ 内部クロック信号
- Pφ 周辺クロック信号

IP ϕ 同期クロック信号

B ϕ 1、B ϕ 2 バスクロック信号

B ϕ 同期クロック信号

100 マザーボード

101 ドーターボード

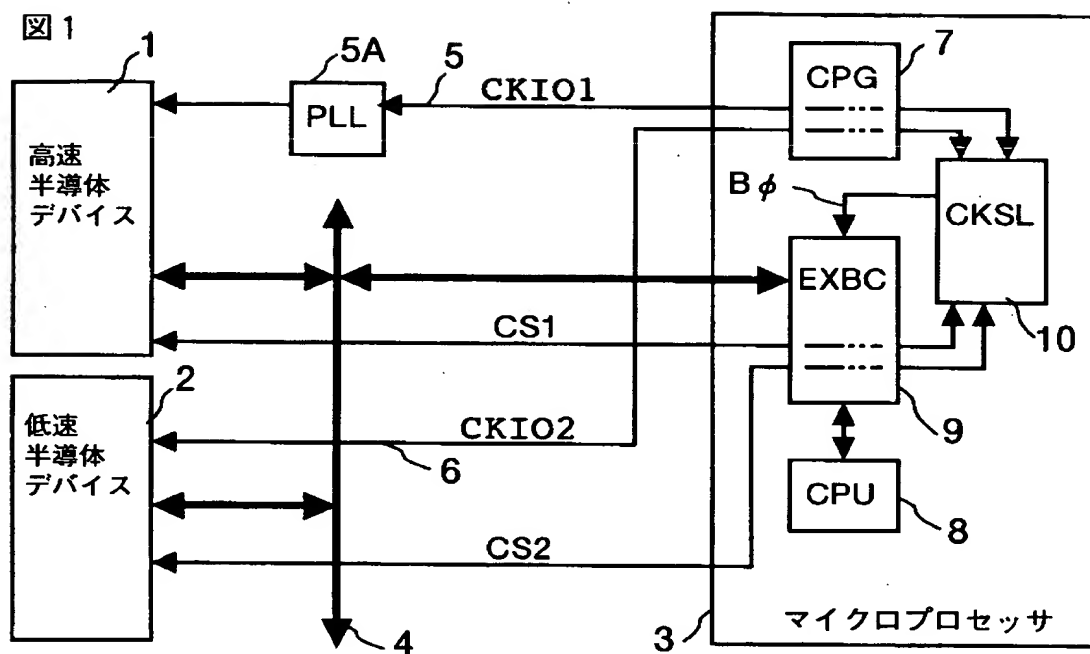
102 ソケット・コネクタ

110A~110C、111A~111C、112A~112C 配線層

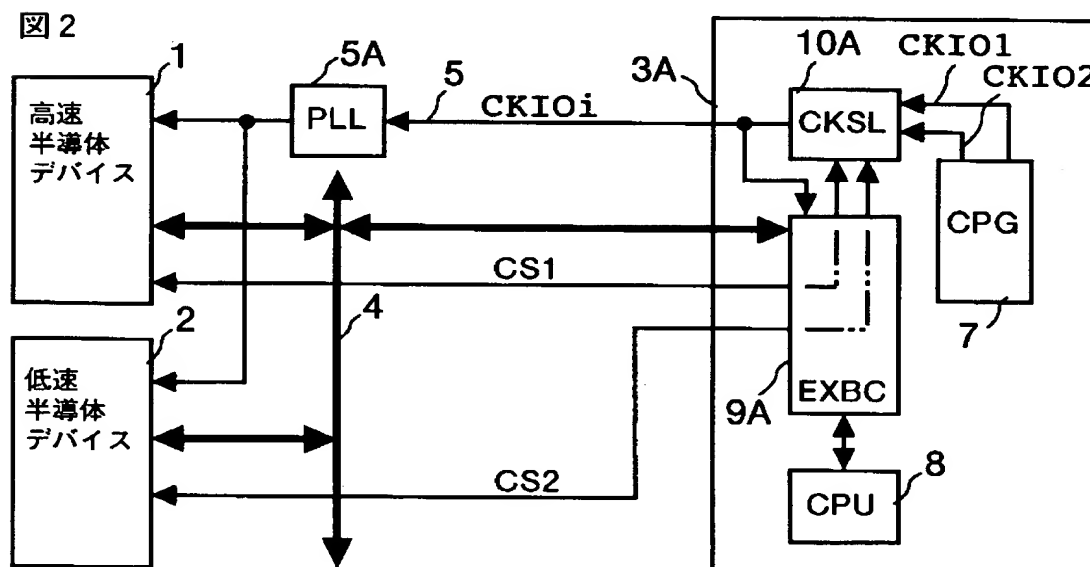
120 外部接続電極

【書類名】 図面

【図 1】

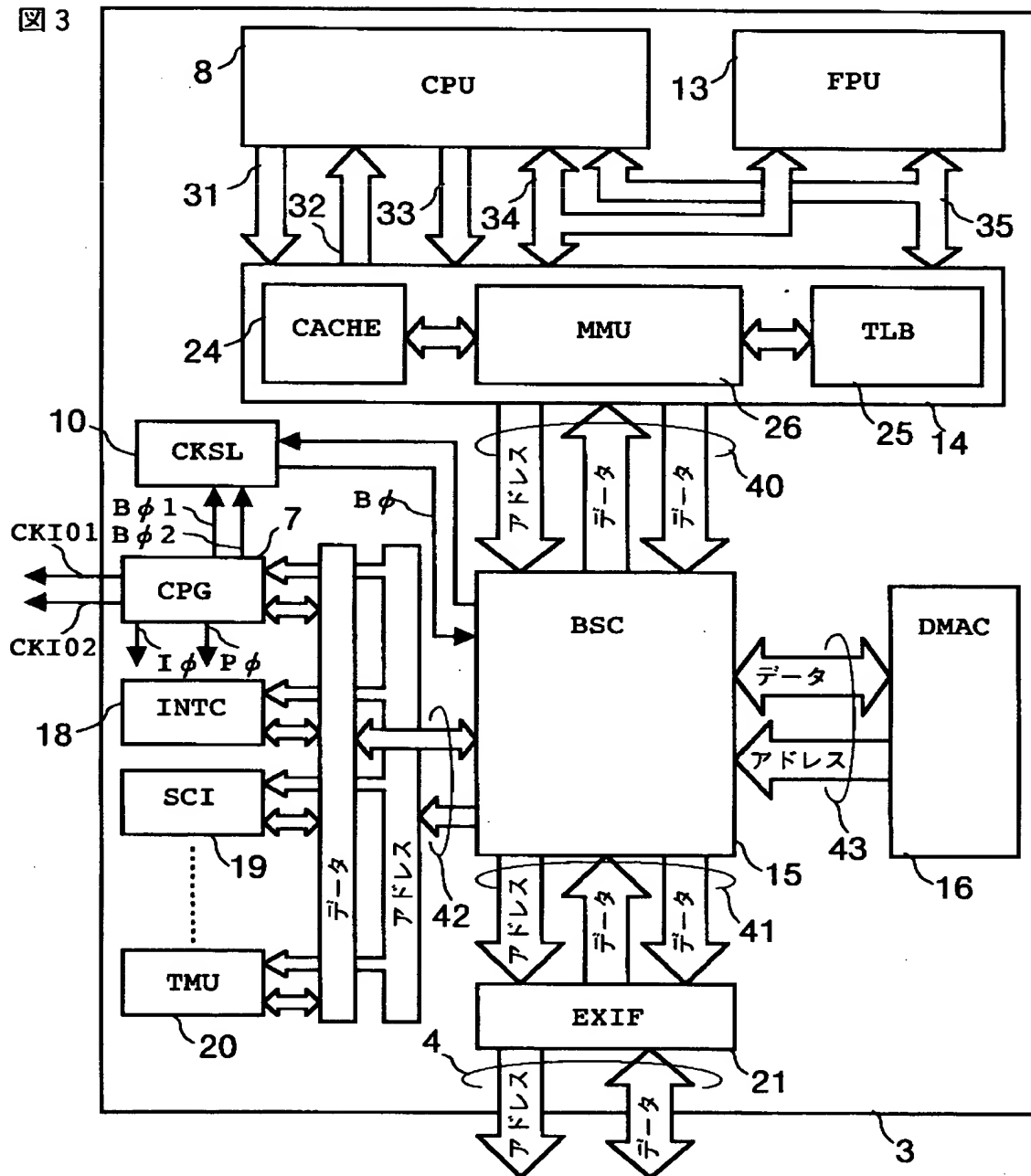


【図 2】

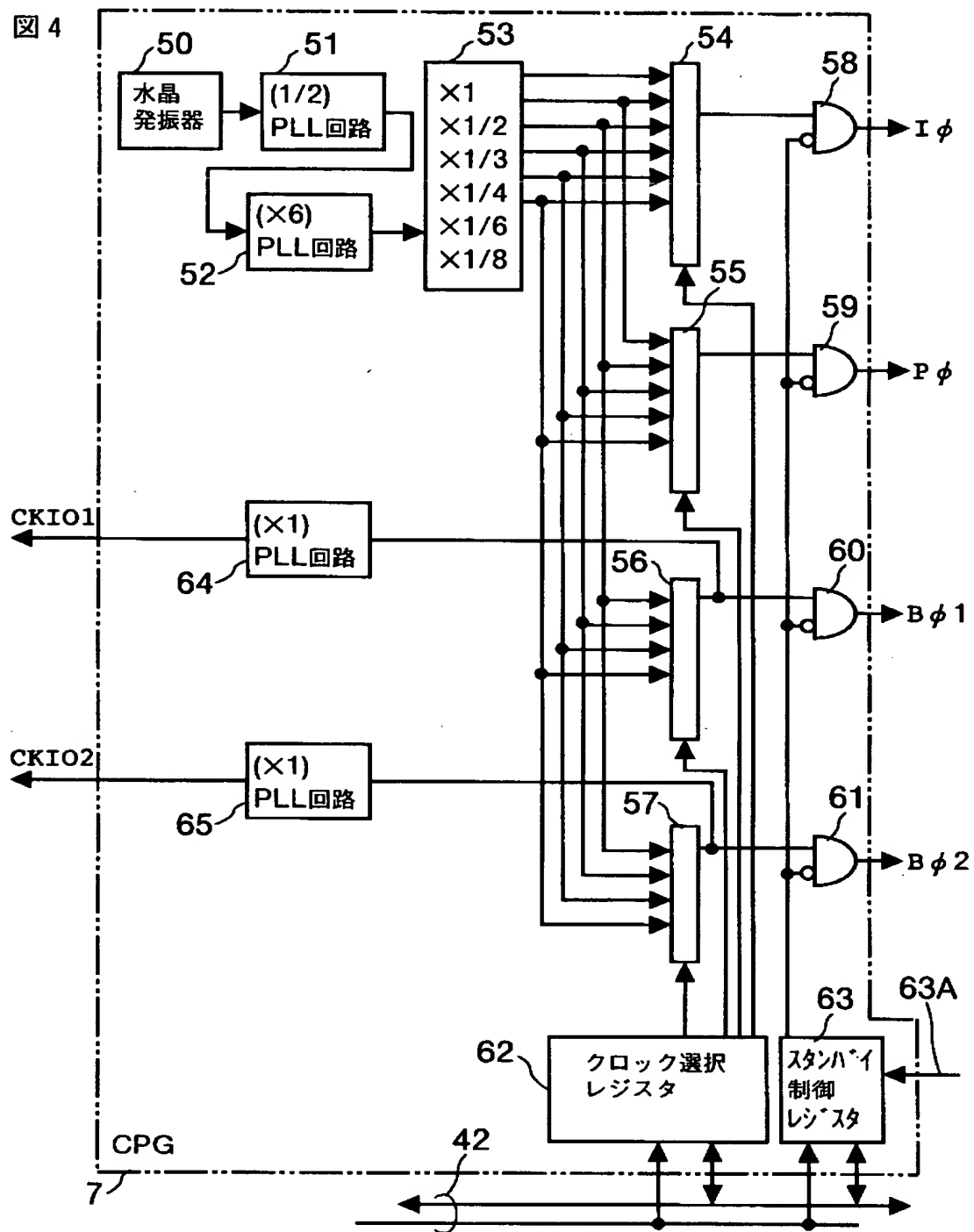


【図3】

図3

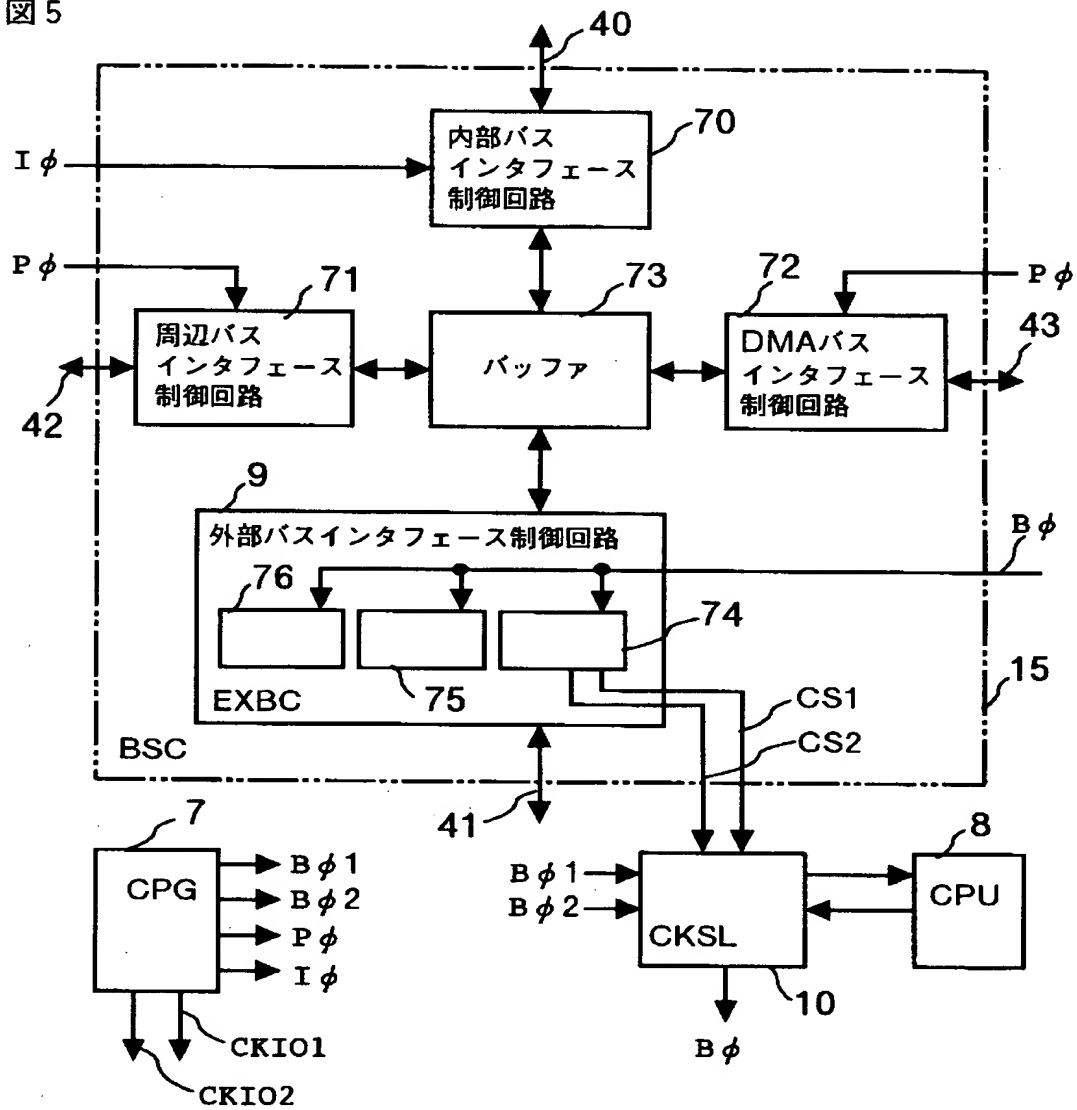


【図 4】

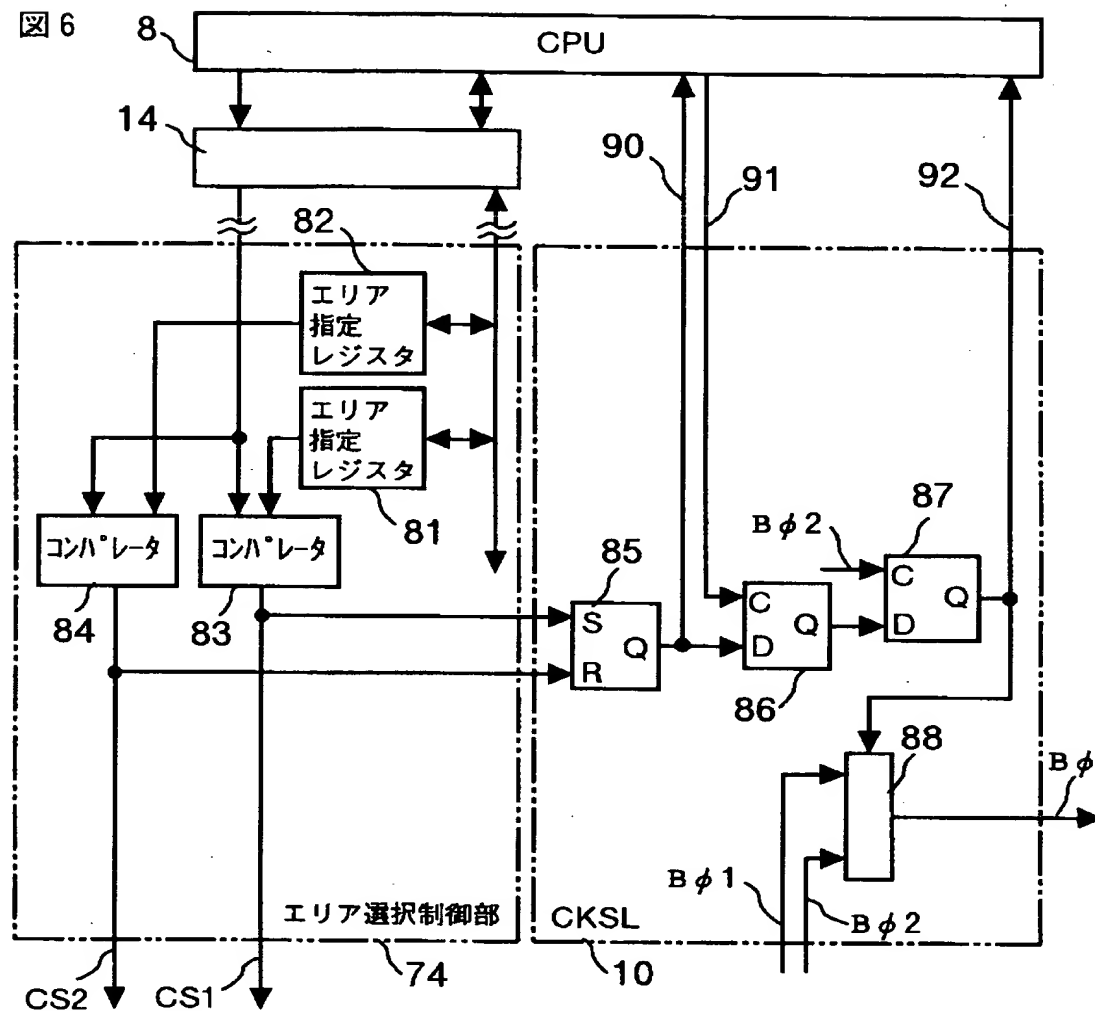


【図 5】

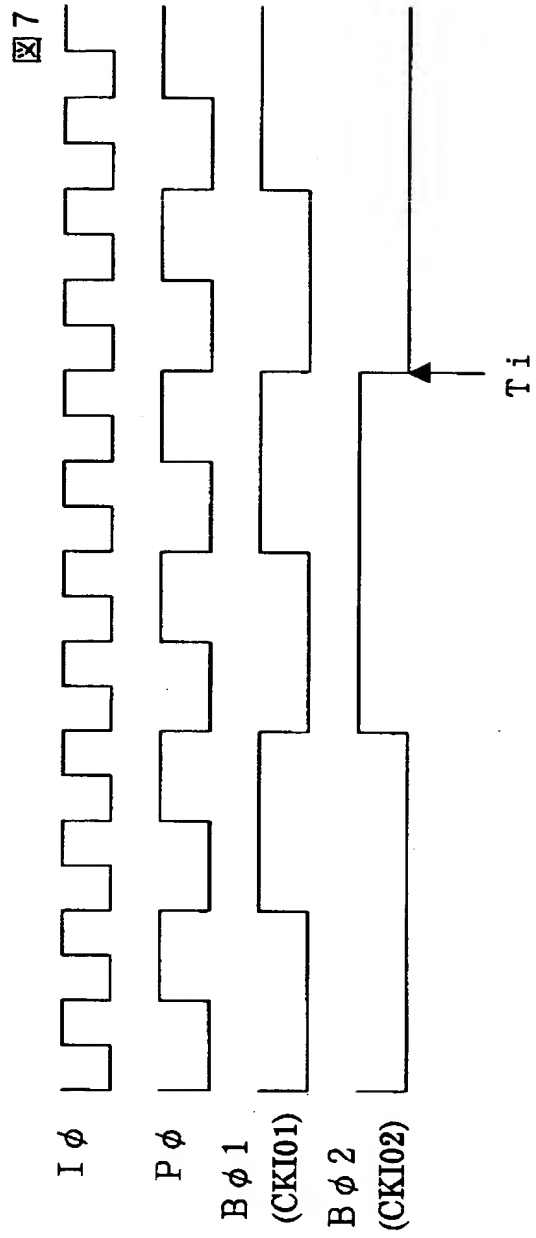
図 5



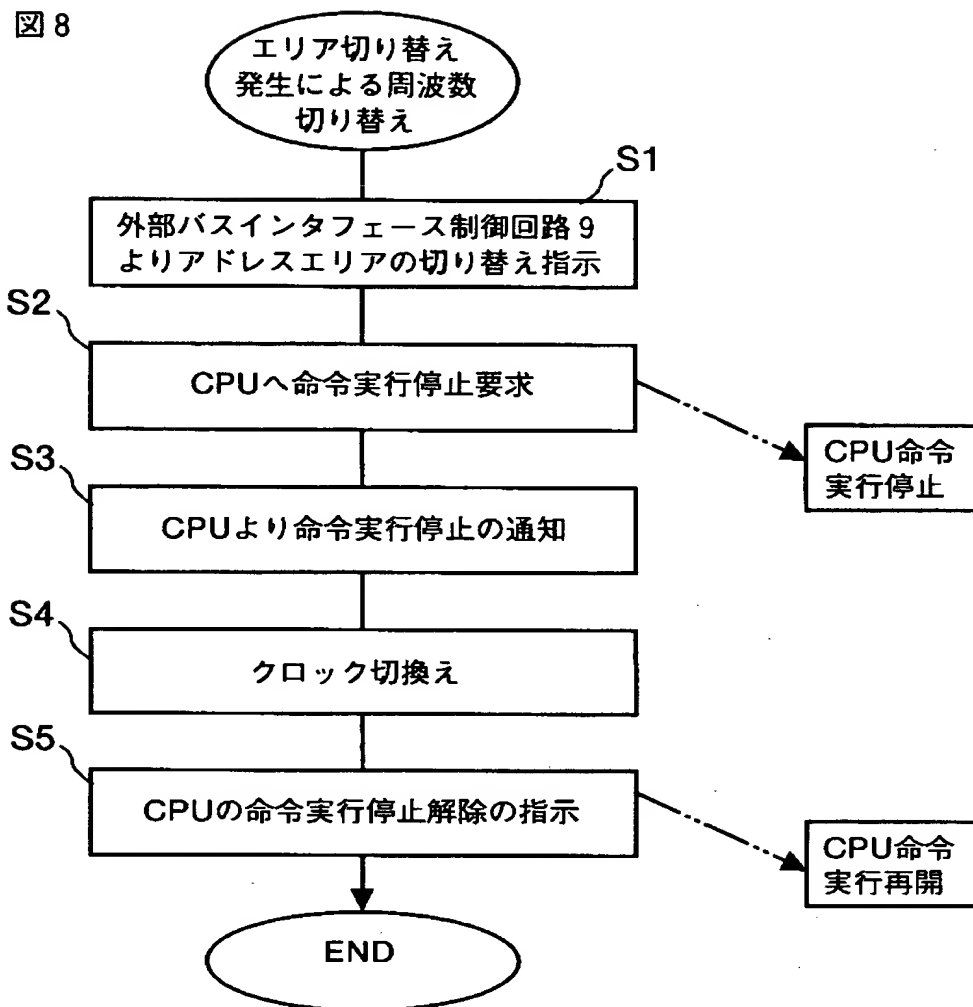
【図 6】



【図 7】

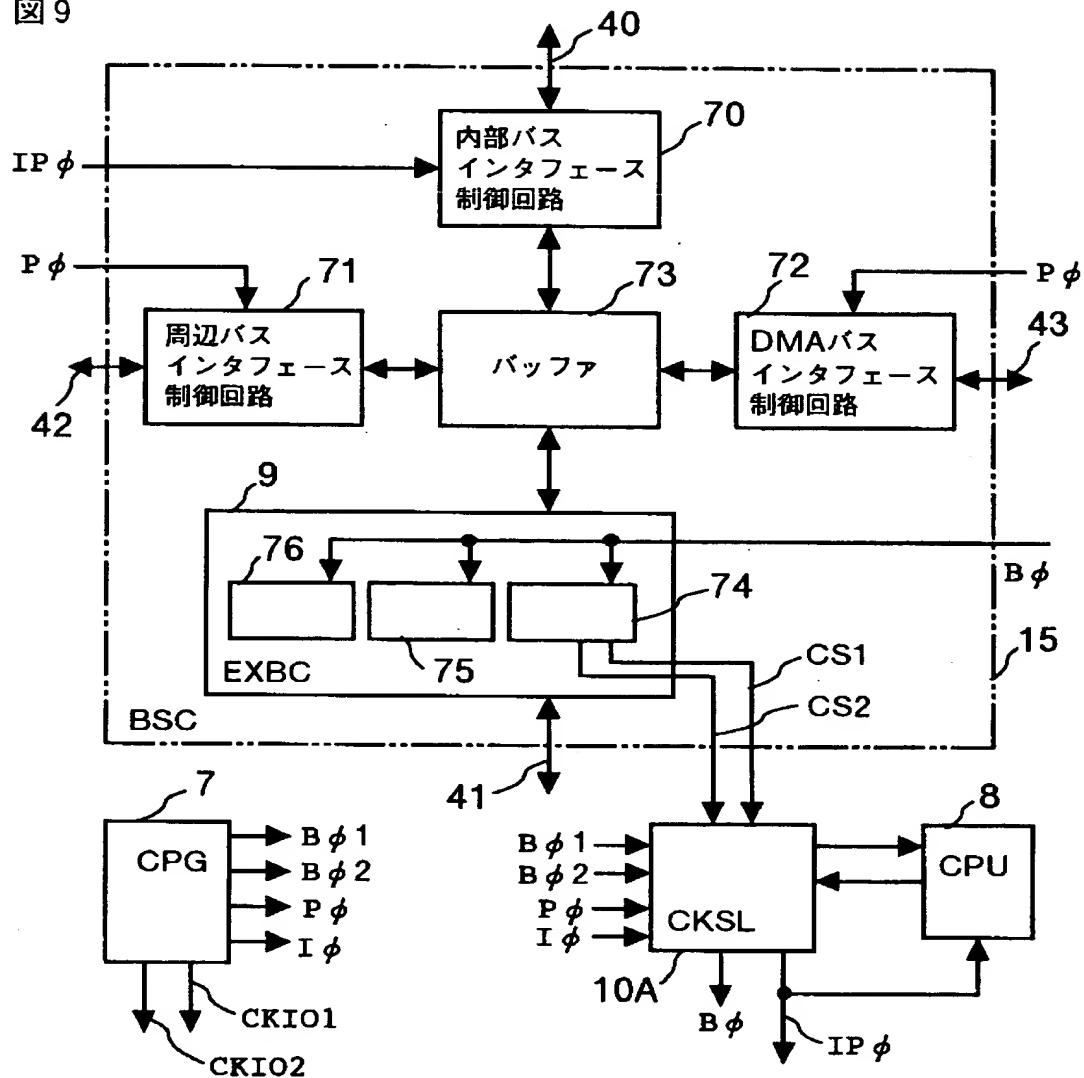


【図 8】

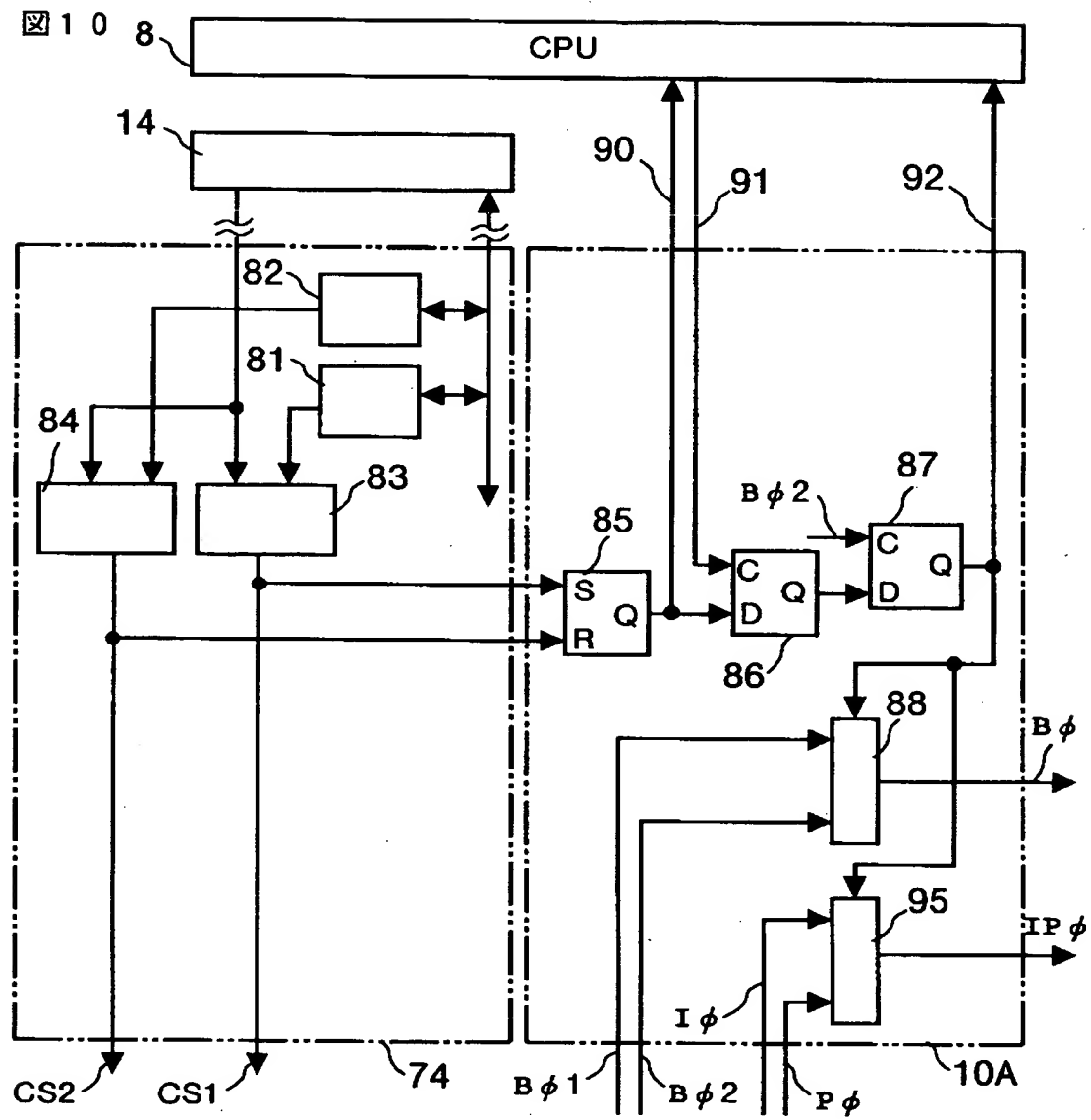


【図 9】

図 9

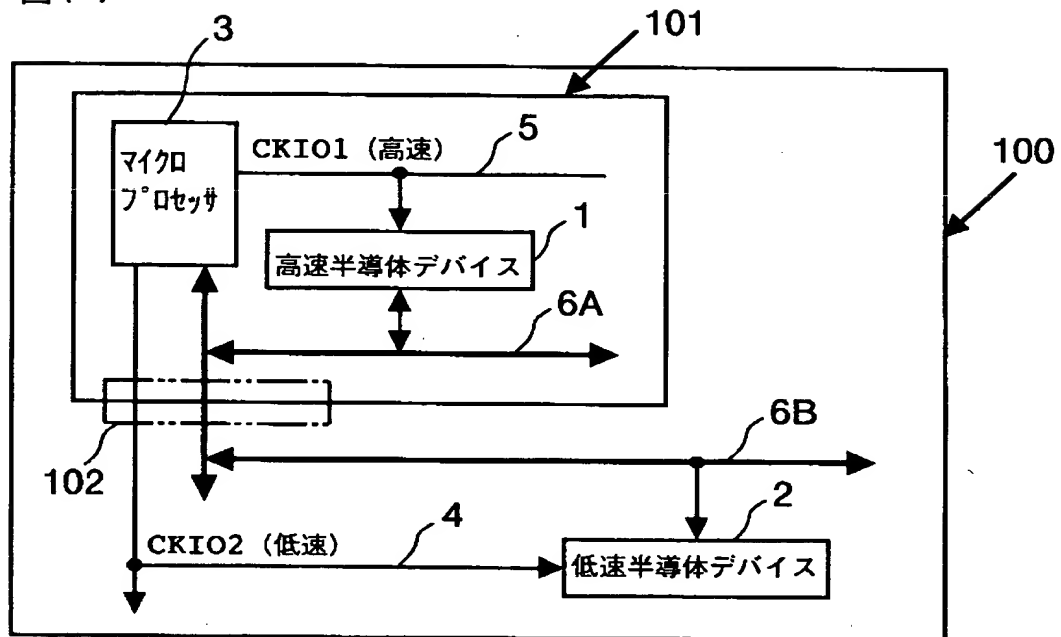


【図 1 0】



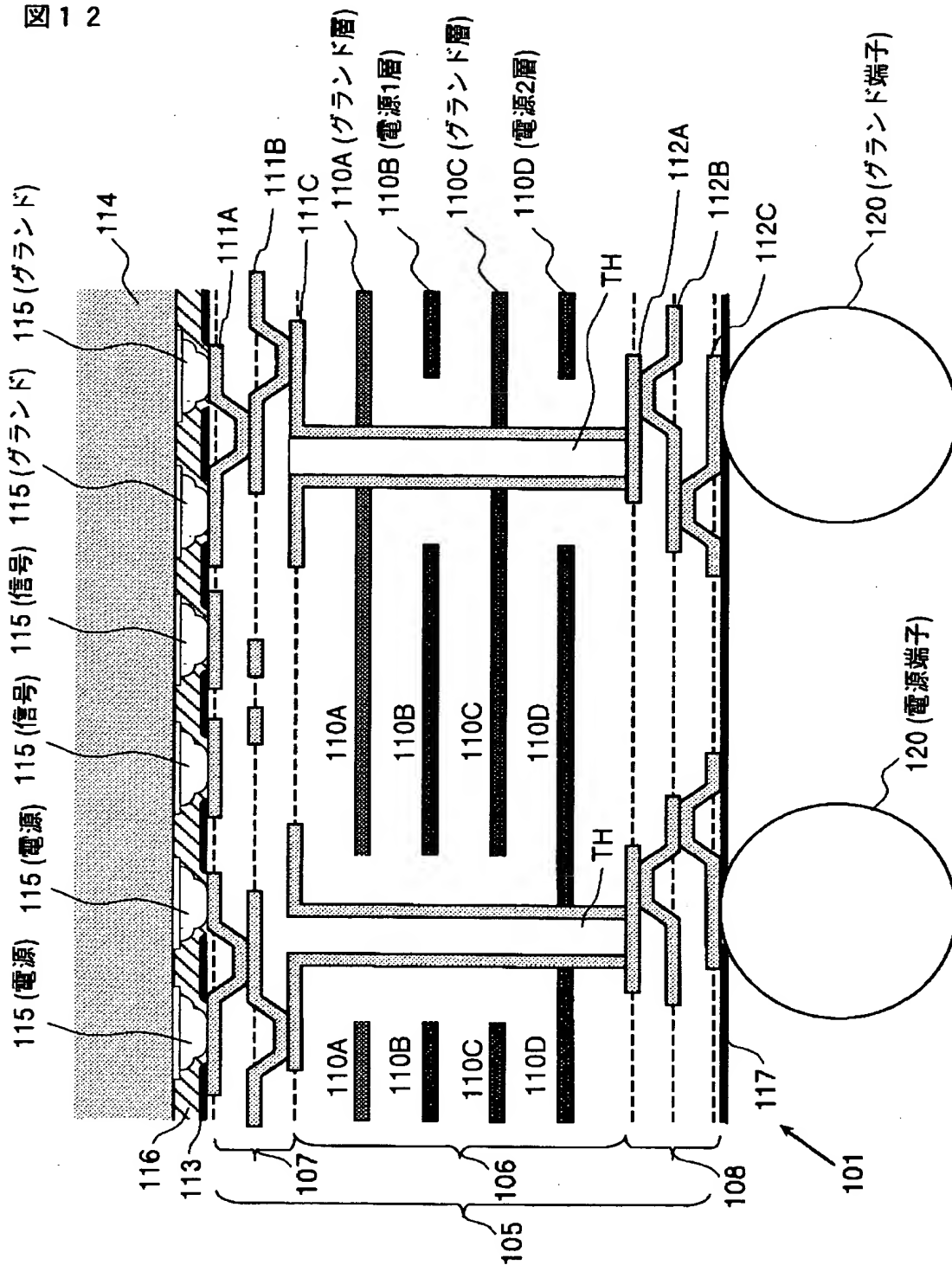
【図 1 1】

図 1 1



【图 1 2】

圖 1 2



【書類名】 要約書

【要約】

【課題】 マイクロプロセッサのような1個のデバイスで高速デバイスと低速デバイスを夫々固有のクロック信号に同期させて選択的にアクセスすることができると共にアクセスの切り換え時のクロック制御が容易なデータ処理システムを提供する。

【解決手段】 マイクロプロセッサ(3)等によってアクセスされる高速及び低速の外部デバイス(1, 2)には夫々必要な周波数のクロック信号(CKIO1, CKIO2)を個別的に個別のクロック配線(5, 6)で供給しておき、マイクロプロセッサによる外部アクセス対象デバイス若しくはアドレスエリアに応じてマイクロプロセッサ内部の外部バスインタフェース制御回路(9)の同期クロック信号(Bφ)を切り換え制御するから、外部デバイスに供給するクロック信号それ自体の切り換えを要せず、アクセス対象とすべき外部デバイスの切り換え時におけるクロック制御が容易である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.